

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-250055

(43)Date of publication of application : 28.09.1993

(51)Int.Cl.

G05F 3/26

(21)Application number : 04-051164

(71)Applicant : NEC CORP

(22)Date of filing : 10.03.1992

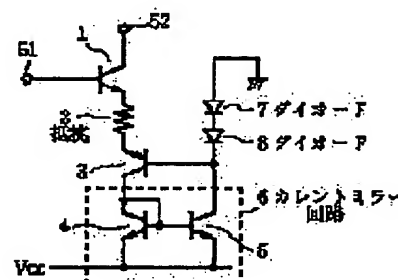
(72)Inventor : SUGANO KAZUHIRO

(54) VOLTAGE/CURRENT CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To hold a voltage/current conversion gain constant over all the level ranges of an input voltage.

CONSTITUTION: This circuit is provided with a PNP transistor 1 in which collector is connected to a current output terminal and base is connected to a voltage input terminal and an NPN transistor 3 in which the emitter is connected through a resistor 2 to the emitter of the PNP transistor 1 and the potential of the base is clamped to a voltage shifted from a ground potential by the potential corresponding to the forward voltage of diodes through diodes 7 and 8. Further, a current mirror circuit 6 is provided to supply a current equal to an output current flowing to the NPN transistor 3 to the diodes 7 and 8 as an output current while connecting the input terminal to the collector of the NPN transistor 3 and connecting the output terminal to the base of the NPN transistor 3.



LEGAL STATUS

[Date of request for examination]

28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2897515

[Date of registration]

12.03.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

12.03.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-250055

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁵

G 0 5 F 3/26

識別記号

庁内整理番号

8938-5H

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平4-51164

(22)出願日 平成4年(1992)3月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 菅野 一博

東京都港区芝五丁目7番1号日本電気株式会社内

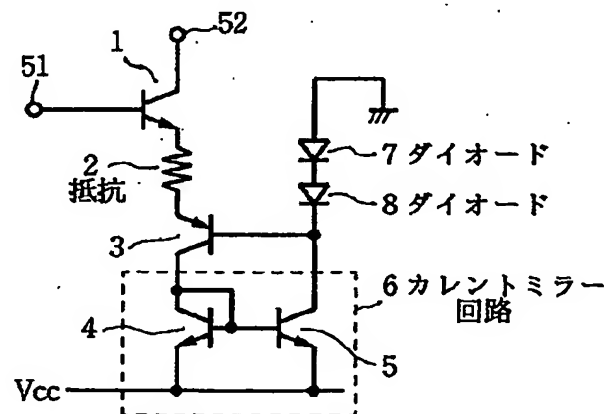
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 電圧電流変換回路

(57)【要約】 (修正有)

【目的】 入力電圧の全レベル範囲に亘り、電圧電流変換ゲインが一定に保持される電圧電流変換回路を提供する。

【構成】 本発明は、コレクタが電流出力端子に接続され、ベースが電圧入力端子に接続されるPNPトランジスタ1と、エミッタが抵抗2を介してPNPトランジスタ1のエミッタに接続され、ベースの電位が、ダイオード7および8を介して、接地電位から当該ダイオードの順方向電圧相当分だけシフトされた電圧にクランプされるNPNトランジスタ3と、入力端がNPNトランジスタ3のコレクタに接続され、出力端がNPNトランジスタ3のベースに接続されて、NPNトランジスタ3に流れる出力電流に等しい電流を出力電流としてダイオード7および8に供給するカレントミラー回路6とを備えて構成される。



1,4,5...PNP トランジスタ
3...NPN トランジスタ

【特許請求の範囲】

【請求項1】 コレクタが電流出力端子に接続され、ベースが電圧入力端子に接続される第1のPNPトランジスタと、

エミッタが所定の抵抗を介して前記第1のPNPトランジスタのエミッタに接続され、ベースの電位が、当該ベースにカソードが接続されるダイオードを介して、接地電位から当該ダイオードの順方向電圧相当分だけシフトされた電圧によりクランプされる第1のNPNトランジスタと、

入力端が前記第1のNPNトランジスタのコレクタに接続され、出力端が前記第1のNPNトランジスタのベースに接続されて、前記第1のNPNトランジスタに流れる出力電流に等しい電流値の電流を出力電流として前記ダイオードに供給するカレントミラー回路と、を備えることを特徴とする電圧電流変換回路

【請求項2】 前記カレントミラー回路が、コレクタおよびベースが前記第1のNPNトランジスタのコレクタに共通接続され、エミッタが電源電圧に接続される第2のPNPトランジスタと、コレクタが前記第1のNPNトランジスタのベースに接続され、ベースが前記第2のPNPトランジスタのベースに接続されて、エミッタが前記電源電圧に接続される第3のPNPトランジスタと、により構成される請求項1記載の電圧電流変換回路。

【請求項3】 前記カレントミラー回路が、コレクタが前記第1のNPNトランジスタのコレクタに接続され、エミッタが電源電圧に接続される第2のPNPトランジスタと、コレクタが前記第1のNPNトランジスタのベースに接続され、ベースが前記第1のNPNトランジスタのコレクタに接続されて、エミッタが前記第2のPNPトランジスタのベースに接続される第3のPNPトランジスタと、コレクタおよびベースが前記第2のPNPトランジスタのベースに共通接続され、エミッタが前記電源電圧に接

$$I_o = (V_i + 2V_{Df} - 2|V_{BE}|) / R \\ = V_i / R \quad \dots\dots\dots (1)$$

即ち、出力電流としては、入力電圧 V_i に比例した電流値 I_o が得られる。

【0006】

【発明が解決しようとする課題】 上述した従来の電圧電流変換回路においては、PNPトランジスタ18およびNPNトランジスタ20におけるベース・エミッタ間電

$$|V_{BE}| = A \cdot \ln(I_o / I_s) \quad \dots\dots\dots (2)$$

$$V_{Df} = A \cdot \ln(I / I_s) \quad \dots\dots\dots (3)$$

上式において、 I_s はPNPトランジスタ18、NPNトランジスタ21、ダイオード22および23の飽和電

流を示しており、また A は、 kT/q により表わされる定数値を示している。云うまでもなく、 k はボルツマ

流される第4のPNPトランジスタと、

により構成される請求項1記載の電圧電流変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電圧電流変換回路に関する。

【0002】

【従来の技術】 従来の電圧電流変換回路は、一般に入力電圧に対して比例関係にある大きさの電流を、所定の負荷に供給する用途として利用されている。図3は、従来の良く知られている電圧電流変換回路の回路図であるが、図3に示されるように、当該電圧電流変換回路は、供給される電源電圧 V_{cc} 、入力端子55および出力端子56に対応して、PNPトランジスタ18と、抵抗19と、NPNトランジスタ20と、ダイオード22および23と、定電流源21とを備えて構成されている。

【0003】 図3において、NPNトランジスタ20のコレクタは電源電圧 V_{cc} に接続されており、ベースは、ダイオード22および23により、接地電位レベルよりも当該二つのダイオードの順方向電圧分だけシフトされた電圧レベルにクランプされている。また、PNPトランジスタ18のベースには入力端子55を介して入力電圧 V_i が供給され、エミッタとNPNトランジスタ20のエミッタとの間には抵抗19（抵抗値 R ）が接続されており、ダイオード22および23は定電流源21（電流値 I ）によりバイアスされている。

【0004】 今、PNPトランジスタ18およびNPNトランジスタ20の電流増幅率 β が十分に大きく、またベース・エミッタ間電圧 V_{BE} と、ダイオード22および23の順方向電圧 V_{Df} が等しいものとすれば、即ち、 $|V_{BE}| = V_{Df}$ である場合においては、入力端子55の入力電圧 V_i および出力端子56における出力電流 I_o と、抵抗19の抵抗値 R との間には次式の関係が成立つ。

【0005】

圧 V_{BE} と、ダイオード22および23の順方向電圧 V_{Df} が等しいものとして設定されているが、実際にはこれらの電圧値は完全に等しいわけではなく、一般的には、それぞれ次式により与えられる。

【0007】

流値を示しており、また A は、 kT/q により表わされる定数値を示している。云うまでもなく、 k はボルツマ

ン常数であり、 T は絶対温度、 q は電子の電荷である。

【0008】従って、(2)式および(3)式より明らかにように、 $I_o = I$ である場合を除いては $|V_{BE}| \neq V_{Df}$ であり、 V_{BE} と V_{Df} の不一致により、図3に示される従来の電圧電流変換回路においては、 $I_o = V_i / R$ の関

$$I_o = [V_i + 2A \cdot I_n (1/I_o)] / R \dots\dots\dots (4)$$

図4に示されるのは、本発明ならびに従来例の電圧電流変換回路における電圧電流変換特性を示すグラフである。図4において、横軸は入力電圧 V_i (V :ボルト)を示し、縦軸は出力電流 I_o (mA :ミリ・アンペア)を示しており、破線102により示されるのが従来例の特性である。明らかに、入力電圧 V_i の入力レベルに対応して電圧電流変換ゲインが変動しており、直線性において良好の特性が得られていない。

【0010】即ち、従来の電圧電流変換回路においては、良好の電圧電流変換特性が得られないという欠点がある。

【0011】

【課題を解決するための手段】本発明の電圧電流変換回路は、コレクタが電流出力端子に接続され、ベースが電圧入力端子に接続される第1のPNPトランジスタと、エミッタが所定の抵抗を介して前記第1のPNPトランジスタのエミッタに接続され、ベースの電位が、当該ベースにカソードが接続されるダイオードを介して、接地電位から当該ダイオードの順方向電圧相当分だけシフトされた電圧によりクランプされる第1のNPNトランジスタと、入力端が前記第1のNPNトランジスタのコレクタに接続され、出力端が前記第1のNPNトランジスタのベースに接続されて、前記第1のNPNトランジスタに流れる出力電流に等しい電流値の電流を出力電流として前記ダイオードに供給するカレントミラー回路と、を備えて構成される。

【0012】なお、前記カレントミラー回路は、コレクタおよびベースが前記第1のNPNトランジスタのコレクタに共通接続され、エミッタが電源電圧に接続される第2のPNPトランジスタと、コレクタが前記第1のNPNトランジスタのベースに接続され、ベースが前記第2のPNPトランジスタのベースに接続されて、エミッタが前記電源電圧に接続される第3のPNPトランジスタと、により構成してもよく、また、前記カレントミラー回路を、コレクタが前記第1のNPNトランジスタのコレクタに接続され、エミッタが電源電圧に接続される第2のPNPトランジスタと、コレクタが前記第1のNPNトランジスタのベースに接続され、ベースが前記第1のNPNトランジスタのコレクタに接続されて、エミ

$$\begin{aligned} I_o &= [V_i + 2A \cdot I_n (I_o / I_{c1})] / R \\ &= V_i / R \dots\dots\dots (5) \end{aligned}$$

係が成立たず、入力電圧 V_i に比例した出力電流が得られない。この場合の入力電圧 V_i と出力電流 I_o との関係は、上記の(1)式、(2)式および(3)式より次式により与えられる。

【0009】

ットが前記第2のPNPトランジスタのベースに接続される第3のPNPトランジスタと、コレクタおよびベースが前記第2のPNPトランジスタのベースに共通接続され、エミッタが前記電源電圧に接続される第4のPNPトランジスタと、により構成してもよい。

【0013】

【実施例】次に、本発明について図面を参照して説明する。

【0014】図1は本発明の第1の実施例を示すブロック図である。図1に示されるように、本実施例は、供給される電源電圧 V_{cc} 、入力端子51および出力端子52に対応して、PNPトランジスタ1と、抵抗2と、NPNトランジスタ3と、PNPトランジスタ4および5を含むカレントミラー回路6と、ダイオード7および8とを備えて構成されている。

【0015】図1において、NPNトランジスタ3のベースは、ダイオード7および8により、接地電位レベルよりも当該二つのダイオードの順方向電圧分だけシフトされた電圧レベルにクランプされている。また、PNPトランジスタ1のベースには入力端子51を介して入力電圧 V_i が供給され、エミッタとNPNトランジスタ3のエミッタとの間には抵抗2(抵抗値 R)が接続されており、これらの接続関係および動作については、前述の従来例の場合と同様である。本実施例の従来例と異なる点は、NPNトランジスタ3のコレクタがカレントミラー回路6の出力端を形成するPNPトランジスタのコレクタに接続されており、また、ダイオード8のカソードがカレントミラー回路の出力端であるPNPトランジスタ5のコレクタに接続されていることである。

【0016】図1において、出力端子52を介して出力される出力電流 I_o は、PNPトランジスタ1のコレクタ電流 I_{c1} そのものであり($I_o = I_{c1}$)、カレントミラー回路6の機能を介して、クランプ用のダイオード7および8は、NPNトランジスタ3のコレクタ電流と電流値が全く等しい電流によりバイアスされるために、前述の(4)式に対応して、全ての入力電圧レベル範囲において、次式が成立つ。

【0017】

図4において、実線101により示されるのが、本実施

例における電圧電流変換特性であるが、明らかに、入力

